

**Family list**

**1** family member for: **JP8095083**

Derived from 1 application

**1 LIQUID CRYSTAL DISPLAY DEVICE**

**Inventor:** SHIBATA SUSUMU; TAKAHASHI  
MORIYOSHI

**EC:**

**Applicant:** HITSUBISHI ELECTRIC CORP; ASAHI  
GLASS CO LTD

**IPC:** *G02F1/136; G02F1/133; G02F1/1368* (+3)

**Publication info:** **JP8095083 A** - 1996-04-12

Data supplied from the esp@cenet database - Worldwide



特開平8-95083

(43) 公開日 平成8年(1996)4月12日

(51) Int. Cl.

識別記号

F 1

G02F 1/136

500

1/133

550

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平6-226750

(22) 出願日 平成6年(1994)9月21日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番8号

(71) 出願人 000000044

旭硝子株式会社

東京都千代田区丸の内二丁目1番2号

(72) 発明者 柴田 晋

熊本県菊池郡西合志町御代志997番地 株式会社アドバンスト・ディスプレイ内

(72) 発明者 高橋 盛嗣

熊本県菊池郡西合志町御代志997番地 株式会社アドバンスト・ディスプレイ内

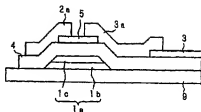
(74) 代理人 弁理士 高田 守 (外 4 名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 ゲートパルス電圧 $V_g$ の歪みを低減すること  
で横方向輝度傾斜、横方向クロストークを低減させ、均  
一な表示特性を得る。

【構成】 ゲート電極がゲート配線に接続され、ソース  
電極がソース配線に接続されている薄膜トランジスタの  
前記ゲート配線及びゲート電極を2層構造にしてその抵  
抗を低減し、ソース電圧とゲートパルス電圧とのカップ  
リングによるゲートパルス電圧の歪みを抑制する。



1 a : ゲート電極  
1 b, 1 c : 配線  
2 a : ソース電極  
3 a : ドレイン電極  
4 : 絶縁膜

## 【許解請求の範囲】

【請求項1】 複数の走査信号線及び複数の映像信号線が交差して配設されたマトリクス配線と、このマトリクス配線の交差点近傍に設置された薄膜トランジスタと、前記薄膜トランジスタを介して前記映像信号線に夫々接続され、液晶層を挟んでその一側に位置する画素電極及び他側に位置する対向電極とを備えた液晶表示装置において、

前記走査信号線を、その抵抗を低減すべく複層構造としたことを特徴とする液晶表示装置。

【請求項2】 走査信号線は、第1層目をA1又はA1合金膜、第2層目をCr膜で構成した複層構造としたことを特徴とする請求項1記載の液晶表示装置。

【請求項3】 複数の走査信号線及び複数の映像信号線が交差して配設されたマトリクス配線と、このマトリクス配線の交差点近傍に設置された薄膜トランジスタと、前記薄膜トランジスタを介して前記映像信号線に夫々接続され、液晶層を挟んでその一側に位置する画素電極及び他側に位置する対向電極とを備えた液晶表示装置において、

前記走査線に出力される走査信号パルス用電極回路の出力抵抗を低減したことを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は走査信号を入力する走査線と、表示信号を入力する信号線との各交差点に駆動素子として薄膜トランジスタを配したアクティブマトリクス型の液晶表示装置に関する。

## 【0002】

【従来の技術】 図7は従来の駆動素子として薄膜トランジスタを用いた液晶表示装置（TFT-LCDと略称）における一画素分の等価回路図である。液晶表示装置は液晶層を少なくとも一方が透明な一対の基板間に挟み、透明な一方の基板上に複数のゲート配線1、1…が所定の間隔で横向き平行に、また複数のソース配線2、2…が所定の間隔で縦向き平行に全体としてマトリクス型をなすように配設され、各行目毎に画素電極を配して夫々1個の画素部が構成されている。他方の基板には共通電極CMが配設されている。各ゲート配線1、1…の両側の一端は共通線にて出力抵抗 $R_{out}$ （40Ω程度）を介してゲートパルス電源回路9に接続されている。

【0003】 ゲート配線1、1…と前記各ソース配線2、2…との各交差部近傍には薄膜トランジスタTFTが配設されている。薄膜トランジスタTFTはそのゲート電極がゲート配線1に、またソース電極はソース配線2に、更にドレイン電極は画素電極C<sub>1</sub>を介在させて前記共通電極COMに接続されると共に、蓄積容量C<sub>2</sub>を介して他のゲート配線1に接続されている。

【0004】 その他C<sub>1</sub>はゲート・ソース電極間寄生容量、C<sub>2</sub>はゲート・ドレイン電極間寄生容量、C<sub>3</sub>はソ

ース・ドレイン電極間寄生容量、C<sub>4</sub>はソース電極・ゲート配線間容量、C<sub>5</sub>はゲート配線・ソース電極間容量、C<sub>6</sub>はソース配線・共通電極間容量である。

【0005】 このような液晶表示装置においてはソース配線2を介してソース電極にソース電圧V<sub>s</sub>を印加すると共に、ゲート電極にゲート電圧V<sub>g</sub>を介してゲートパルス電圧V<sub>g</sub>を幅出力することによって各薄膜トランジスタTFTを放電させ、また保持状態を維持することで線順次走査が行なわれ、同時に共通電極COMに共通電圧V<sub>com</sub>を印加することで駆動させる。

## 【0006】

【発明が解決しようとする課題】 ところでこのような従来の液晶表示装置においては、1水平走査時間1H毎にソース電圧V<sub>s</sub>の極性を反転させるゲート・ライン反転方式でノーマリホワイトモードの駆動を行なわれると、ゲートパルス電圧V<sub>g</sub>の入力端から表示領域が遠ざかるに従って、表示パネルにおける表示輝度が上昇する。所謂横方向輝度傾斜が発生する。また表示パネルに中間調のバックグラウンドに、黒又は白のバターンを表示すると表示領域間において表示輝度に差が生じる、所謂横方向クロストークも発生するという問題があった。

【0007】 図8はTFT-LCDにおける横方向輝度傾斜を示すための表示パネル10の説明図であり、図中aは表示パネル9におけるゲートパルスの入力端に最も近い表示領域、bはゲートパルスの入力端から最も近い表示領域を示している。図8においてゲートパルス入力端に近い表示領域aから表示領域b方向へ遠ざかるに従って、ゲート配線1に沿って液晶画素に加わる実効電圧V<sub>eff</sub>が低下し、表示輝度が上昇する現象が横方向輝度傾斜である。輝度傾斜率γ<sub>L</sub>は17.5%程度である。

【0008】 図9は同じくTFT-LCDにおける横方向クロストークを示すための表示パネル10の説明図であり、全体が中間調で表示している領域の中央部に黒ウィンドウバターンを表示している。図中aはゲートパルスの入力端に最も近い表示領域、bはゲートパルスの入力端から最も近い表示領域、cは各走査線と全ての画素が中間調を表示している領域の中でゲートパルスの入力端に最も近い表示領域、dは各走査線と全ての画素が中間調を表示している領域の中でゲートパルスの入力端から最も近い表示領域を夫々示している。図9において表示領域a、cの間、表示領域b、dの間の表示輝度に差が生じる現象が横方向クロストークである。

【0009】 横方向輝度傾斜の原因は通常ゲートパルス電圧V<sub>g</sub>の遅延と考えられ、また横方向クロストークの原因はソース電圧の極性反転のため、共通電圧V<sub>com</sub>がカッピングの影響を受け、薄膜トランジスタTFTがオフになる瞬間の共通電圧V<sub>com</sub>の差動量ΔV<sub>com</sub>、だけ実効電圧V<sub>eff</sub>が減少することによって考えられている。

【0010】 たゞ図9における表示領域aにおけるクロ

ストーク電圧 $\Delta V_{st}$ と表示領域bにおけるクロストーク電圧 $\Delta V_{st}$ とが異なること、また表示領域aにおけるクロストークは目視では殆ど問題とならないレベルであるのに対し、表示領域dでは顕著な横方向クロストークが認められる。つまりコモン電圧の変位 $\Delta V_{cm}$ による実効電圧 $V_{eff}$ の低下は十分抑制されているにもかかわらず、ゲートパルス電圧 $V_g$ の入力端から遠い領域で横方向クロストークが発生していることから、横方向電圧傾斜と同様にゲートパルス歪みも横方向クロストークの原因の一つとなっていると考えられる。

【0011】図9はゲート・ライン反転方式の液晶表示装置におけるソース電圧波形(図9(a))、コモン電圧波形(図9(b))、ゲートパルス波形(図9(c)、(d))を示す波形図である。ソース電圧の極性反転によりゲートパルス電圧 $V_g$ が図7に示す力抵抗 $R_{off}$ 、ゲート配線抵抗 $r_g$ 、TFTのゲート・ソース電極間寄生容量 $C_{gs}$ 等のカップリングの影響を受けて、図9(c)に示す表示領域aでのゲートパルス波形と比較して表示領域bでのそれが著しく歪んでいることが解る。

【0012】本発明はかかる事情に鑑みされたものであって、その目的とするところはこのようなゲートパルスの歪みを軽減することで横方向電圧傾斜及び横方向クロストークを低減させ、均一な表示特性を得られるようにした液晶表示装置を提供するにある。

【0013】

【課題を解決するための手段】第1の発明に係る液晶表示装置は、複数の走査信号線及び複数の映像信号線が交差して配設されたマトリクス配線と、このマトリクス配線の交差点近傍に設置された薄膜トランジスタと、前記薄膜トランジスタを介して前記映像信号線に夫々接続され、液晶層を挟んでその一側に位置する画素電極及び他側に位置する対向電極とを備えた液晶表示装置において、前記走査信号線を、その抵抗を低減すべく複層構造としたことを特徴とする。

【0014】第2の発明に係る液晶表示装置は、その走査信号線を、第1層目をAl又はAl合金製、第2層目をCr製で構成した複層構造とすることで抵抗が低減されることは勿論、作業性、耐久性が向上する。

【0015】第3の発明に係る液晶表示装置は、複数の走査信号線及び複数の映像信号線が交差して配設されたマトリクス配線と、このマトリクス配線の交差点近傍に設置された薄膜トランジスタと、前記薄膜トランジスタを介して前記映像信号線に夫々接続され、液晶層を挟んでその一側に位置する画素電極及び他側に位置する対向電極とを備えた液晶表示装置において、前記走査線に出力される走査信号パルス用電源回路の出力抵抗を略零としたことを特徴とする。

【0016】

【作用】第1の発明においては、走査線を多層構造に構成してその抵抗を低下させることで、表示信号と走査信

号とのカップリングに起因する走査信号歪みを抑制し得る。第2の発明においては、これによって簡単な構造で抵抗を容易に低減し得る。第3の発明においては、走査線に出力される走査信号パルス用電源回路の出力抵抗を略0とすることで、走査信号歪みを抑制し得る。

【0017】

【実施例】以下本発明をその実施例に基づき具体的に説明する。

【実施例1】図1は本発明に係る液晶表示装置の1画素分の模式的平面図、図2は図1のII-II線による断面図である。図中1は走査信号線であるゲート配線、2は映像信号線であるソース配線を示している。複数のゲート配線1(図面には1本ののみ表わされている)は相互に所定の間隔を隔てて縦向き平行に、また複数のソース配線2(図面には1本ののみ表わされている)は相互に所定の間隔を隔てて横向き平行に夫々図示しないアレイ基板上に全体としてマトリクス型をなすよう配設され、その各画素毎に液晶表示画素領域が形成され、ここに画素電極3が配設されている。

【0018】ゲート配線1、ソース配線2の交差部分にはゲート配線1からは画素領域内に向けて走査信号電極であるゲート電極1aが張り出されている。ゲート電極1aはAl又はAl合金製の導電膜1b、Cr製の導電膜1cを2枚重ねて構成され、その上に絶縁膜4を介在させてある。またソース配線2からは同じく画素領域内に向けて前記絶縁膜4上のアモルファスシリコン(a-Si)層5上に表示信号電極であるソース電極2aがその一部を前記ゲート電極1a上にオーバラップさせる態様で配設されている。

【0019】画素電極3は各画素領域内にゲート配線1、ソース配線2と非接触の状態で前記絶縁膜4上に配設されており、その一部と接触し、前記ゲート電極1aにオーバラップさせる態様でドレイン電極3aが設けられている。これによって前記ゲート電極1a、ソース電極2a、ドレイン電極3a及びアモルファスシリコン(a-Si)層5にて薄膜トランジスタTFTが構成されている。

【0020】ゲート配線1及びゲート電極1aを図2に示す如く導電膜1b、1cの2層構造とすることでゲート配線抵抗 $r_g$ (図7参照)が低下し、ゲートパルス電圧 $V_g$ の歪みを抑制し得る。導電膜1b、1cの材料としてAl、Crを用い、Cr導電膜1bとAl導電膜1cとの膜厚比を3:1としてAl又はAl合金導電膜1b上にCr導電膜1cを積層してある。ちなみにAl導電膜1bの比抵抗をCr導電膜1cの約1/5とするので配線抵抗を従来と同じにしても配線抵抗 $R_g$ を2.7Ω以下に低減し得る。なお従来よりCr導電膜のみで図7に示すゲート配線1及びゲート電極を構成した場合のゲート配線1本当たりの配線抵抗は7kΩ程度である。ここに配線抵抗はゲート配線抵抗 $r_g$ ×横方向画素数で与えられる。

【0021】図3は図8に示す表示領域bでのゲートパルス電圧 $V_g$ の波形図であり、横軸に水平走査期間を、

5

また縦軸にゲートパルス電圧(V)をとって示してある。グラフ中破線が実施例1の、また実線は従来装置における夫々表示領域aの波形を示し、また一点鎖線は従来装置における表示領域bの波形である。

【0022】図3から明らかな如く配線抵抗 $R_{\text{w}} = 2.7k\Omega$ の実施例1の場合、表示領域bでのゲート電圧歪みは従来装置の表示領域aでのゲートパルス電圧 $V_{\text{g}}$ の歪みと略同等のレベルにまで抑制されているのが解る。つまり実施例1の場合、表示領域bでのゲート電圧歪みによる実効電圧 $V_{\text{eff}}$ の減少量は従来装置の表示領域aでのゲート電圧歪みによる実効電圧 $V_{\text{eff}}$ の減少量と略同等レベルにまで低減されることとなる。

【0023】図4はゲート配線1の他の態様を示す拡大断面図であり、図中dはAl配線、teはCr配線を示している。Al配線1dは断面矩形をなし、一方Cr配線1eはこのAl配線の上面及び側面にわたってこれを覆う層でその表面に密着させて形成されている。ちなみにゲート配線長:19.2cm

Cr配線幅:20 $\mu\text{m}$

Al配線幅:14 $\mu\text{m}$

Cr配線厚:0.3 $\mu\text{m}$

Al配線厚:0.1 $\mu\text{m}$

とすると、抵抗率はCr配線:20 $\mu\Omega/\text{cm}$ 、Al配線:4 $\mu\Omega/\text{cm}$ であった。なおゲート配線長19.2cm、幅20 $\mu\text{m}$ 、厚さ0.3 $\mu\text{m}$ のCrのみで構成した場合の抵抗率は20 $\mu\Omega/\text{cm}$ であった。この結果、 $R_{\text{w}}$ を従来装置では9.6k $\Omega$ であったのが、2.7k $\Omega$ にまで低減出来ることが確認出来た。

【0024】(実施例2) この実施例2においては図2に示した絶縁膜4全体の厚さを2倍にする。他の構成は実施例1のそれと同じである。このような実施例2においては従来装置におけるゲート・ソース電極間の寄生容量 $C_{\text{gs}}$ を0.1pFとするとこれを0.05pFに低下させる。実施例2と従来装置におけるゲートパルス電圧波形を図5に對比して示す。図5は横軸に水平走査時間、また縦軸にゲートパルス電圧 $V_{\text{g}}$ をとって示してある。グラフ中実線は実施例2での表示領域bの、また破線は従来装置での表示領域aの、また一点鎖線は表示領域bでのゲートパルス電圧を示している。

【0025】図5から明らかな如く実施例2の場合における表示領域bでのゲートパルス電圧歪みは従来装置での表示領域aと同等のレベルにまで抑制されている。つまり表示領域bでのゲートパルス電圧歪みによる実効電圧 $V_{\text{eff}}$ の減少量は従来装置の表示領域aでのゲートパルス電圧歪みによる実効電圧 $V_{\text{eff}}$ の減少量と略同等レベルにまで低減されている。このような実施例2においては絶縁膜4全体の厚さを2倍にする事でゲート・ソース電極間の寄生容量が低下し、ゲートパルス電圧とソース電圧とのカップリングにより起きるゲートパルス電圧の歪みを抑制し得る。

6

【0026】(実施例3) この実施例3ではゲート電極に出力されるゲートパルス用電源回路9の出力抵抗 $R_{\text{out}}$ を従来40 $\Omega$ であったのを0 $\Omega$ とする。即ち出力抵抗 $R_{\text{out}}$ を可及的に0に近づける。これを図6に示す等価回路を参照して説明する。図7においては各ゲート配線1の一端は共通線に接続され出力抵抗 $R_{\text{out}}$ を介してゲートパルス用電源回路9に接続されている。このローレベル電源系における出力抵抗 $R_{\text{out}}$ を40から0 $\Omega$ に低下させる。このような実施例3と従来装置との表示領域aでのゲート・ソースタイミング $t_{\text{gs}}$ と $\Delta V_{\text{g}}$ との関係を図6に示す。

【0027】図6は横軸に $t_{\text{gs}}$ 、 $\Delta V_{\text{g}}$ を、また縦軸に $V_{\text{g}}$ 、 $(V)$ をとって示してある。グラフ中○印、□印は実施例3における黒ウィンドウパターン、白ウィンドウパターンの、また●印、黒四角印は従来装置における黒ウィンドウパターン、白ウィンドウパターン( $R_{\text{out}} = 40\Omega$ )の結果を示している。このグラフから明らかな如く $R_{\text{out}}$ の低下によりいずれの $t_{\text{gs}}$ の範囲においても実施例3は従来装置よりも格段に $\Delta V_{\text{g}}$ が低減され、横方向クロストークが軽減されることが解る。

【0028】

【発明の効果】 第1の発明においてはゲート配線を複層構造とすることで配線抵抗が低下し、走査信号の入力端から離れることに伴うゲートパルス電圧 $V_{\text{g}}$ の歪みは大幅に抑制され、これに伴う実効電圧の減少量が低減され、横方向輝度傾斜及び横方向クロストークを低減出来、均一な表示特性を得られる。

【0029】第2の発明においてはAl又はAl合金製の導電膜とCr製の導電膜とを重ね合わせた2層構造とすることで低抵抗を実現出来ると共に、作業性、耐久性も向上する。

【0030】第3発明においては走査線に出力される走査信号パルスの発生回路の出力抵抗を略0とすることで、走査信号歪みを抑制し、同時に横方向輝度傾斜、横方向クロストークを低減させる均一な表示特性が得られる。

【図面の簡単な説明】

【図1】 本発明に係る液晶表示装置の一面素の部分配線構造を示す平面図である。

【図2】 図1のII-II線による拡大断面図である。

【図3】 実施例1と従来装置との表示領域a、bの夫々におけるゲートパルス電圧波形を示す波形図である。

【図4】 ゲート配線の他の例を示す拡大断面図である。

【図5】 実施例2と従来装置との表示領域a、bの夫々におけるゲートパルス電圧波形を示す波形図である。

【図6】 実施例3と従来装置との $t_{\text{gs}}$ と $\Delta V_{\text{g}}$ との関係を示すグラフである。

【図7】 従来装置における一面素分の等価回路図である。

【図8】 液晶表示画面の説明図である。

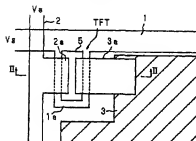
【図9】 液晶表示装置の他の表示態様を示す説明図である。

【図10】 表示領域aとbとのソース電圧波形、コモン電圧波形、ゲートパルス波形を示す説明図である。

【符号の説明】

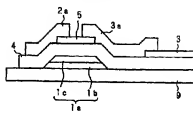
1 ゲート配線、2 ソース配線、3 画素電極、1a ゲート電極、1b Al又はAl合金製の膜、1c Cr製の膜、2a ソース電極、3a ドレイン電極、4 絶縁膜、5 アモルファスシリコン層、8 基板、9 ゲートパルス用電源回路。

【図1】



- 1:ゲート配線  
2:ソース配線  
3:画素電極  
5:アモルファスシリコン層

【図2】

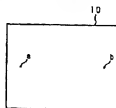


- 1a:ゲート電極  
1b,1c:絶縁膜  
2a:ソース電極  
3a:ドレイン電極  
4:絶縁膜

【図4】

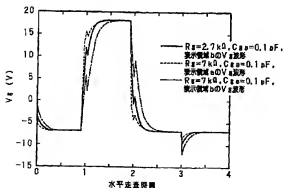


【図8】

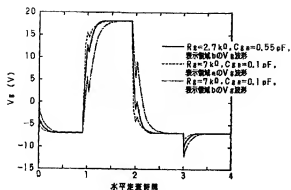


- 10:LCDパネル  
a:ゲートパルス入力端に最も近い表示領域  
b:ゲートパルス入力端に最も近い表示領域

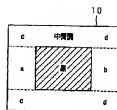
【図3】



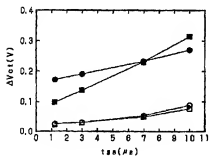
【図5】



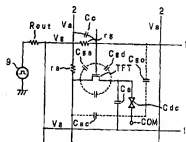
【図9】



【図6】



【図7】



TFT: 薄膜トランジスタ  
COM: コモン電極  
Cdc: 漏れ容量  
Cg: 寄生容量  
rg: 1 周長のゲート配線抵抗  
R: ゲートバス配線抵抗



【図 10】

